

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-331300

(43) 公開日 平成11年(1999)11月30日

(51) Int.Cl.<sup>5</sup>

識別記号

F I

H 0 4 L 27/38

H 0 4 L 27/00

G

H 0 4 B 3/06

H 0 4 B 3/06

B

H 0 4 L 25/03

H 0 4 L 25/03

D

審査請求 有 請求項の数 8 O L (全 6 頁)

(21) 出願番号

特願平10-137254

(22) 出願日

平成10年(1998)5月19日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 佐々木 英作

東京都港区芝五丁目7番1号 日本電気株式会社内

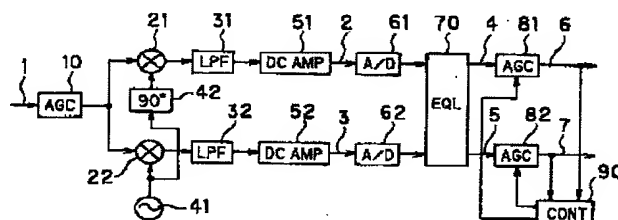
(74) 代理人 弁理士 平田 忠雄

(54) 【発明の名称】 復調装置

(57) 【要約】

【課題】 定常時のBER特性を改善しつつ、AGCの時定数を短くでき、入力信号のレベル変動に対する追従速度を改善することができる復調装置を提供する。

【解決手段】 2値QAM方式の復調装置は、変調波を入力し、出力信号の平均電力を一定に保つように動作するAGCアンプ10、AGCアンプ10の出力信号をA/D変換するA/D変換器61、62、A/D変換器61、62の出力信号に含まれる符号間干渉成分を除去する等化器70、等化器70の出力信号の収束点が(q/2)ビットの2進数で表現できる振幅になるように動作するAGC回路81、82、及びAGC回路81、82の出力信号を入力し、AGC回路81、82の制御信号を生成する制御回路90を備える。



## 【特許請求の範囲】

【請求項 1】 I 及び Q チャネルを有する  $2^q$  ( $q \geq 2$  の整数) 値直交振幅変調 (QAM) 方式の復調装置において、

変調波を入力信号とし、出力信号の平均電力を一定に保つように動作するアナログ AGC (自動利得制御) 回路と、

前記アナログ AGC 回路によって平均電力を一定にされ、前記変調波を復調して得られた BB (Base Band) アナログ信号をアナログ/デジタル (A/D) 変換する A/D 変換器と、

前記 A/D 変換器の出力信号を入力し、該出力信号に含まれる符号間干渉成分を除去する等化器と、

前記等化器の出力信号を入力し、前記等化器の出力信号の収束点が ( $q/2$ ) ビットの 2 進数で表現できる振幅になるように動作する前記 I 及び Q チャネルのデジタル AGC 回路と、

前記 I 及び Q チャネルの前記デジタル AGC 回路の出力信号を入力し、前記 I 及び Q チャネルのデジタル AGC 回路の制御信号を生成する制御回路と、を備えることを特徴とする復調装置。

【請求項 2】 前記アナログ AGC 回路は、前記 BB アナログ信号を出力するミキサ及びローパスフィルタの前段に設けられている構成の請求項 1 記載の復調装置。

【請求項 3】 前記アナログ AGC 回路は、前記 BB アナログ信号を出力するミキサ及びローパスフィルタの後段に設けられている構成の請求項 1 記載の復調装置。

【請求項 4】 前記ミキサは、前記変調波の搬送波に同期した局部発振信号を入力する構成の請求項 2 あるいは 3 記載の復調装置。

【請求項 5】 前記ミキサは、前記変調波の搬送波に近似した周波数を有し、かつ、前記搬送波に非同期の局部発振信号を入力する構成の請求項 2 あるいは 3 記載の復調装置。

【請求項 6】 前記デジタル AGC 回路は、前記制御信号を積分して AGC の利得値を出力する積分器と、前記等化器の出力信号と前記利得値を乗算する乗算器を含む請求項 1 記載の復調装置。

【請求項 7】 前記制御回路は、前記 A/D 変換回路のデジタル信号の MSB と誤差ビットに応じた信号を前記制御信号として出力する構成の請求項 6 記載の復調装置。

【請求項 8】 前記制御回路は、前記 A/D 変換回路のデジタル信号が既定値より大きいとき、前記制御信号によって前記利得値を減少させ、既定値より小なるとき、前記制御信号によって前記利得値を増加させる構成の請求項 6 記載の復調装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、復調装置に関し、

特に、IF 入力信号の平均電力をアナログ AGC (自動利得制御) 回路で一定に保ち、等化器の後方に置かれたデジタル AGC 回路で BER 特性が最良となる正規の信号点配置になるように IF 入力信号の AGC アンプでの誤差分を吸収する復調装置に関する。

## 【0002】

【従来の技術】 特開昭 63-119331 号公報に示されている従来の同期検波の復調装置においては、フェージングによる波形ひずみにより A/D 変換器の入力信号の振幅がひずみのないときに比べて大きくなり、入力信号が A/D 変換器の識別可能範囲 (ダイナミックレンジ) を超える場合に備えて、入力信号に DRE (Decision Range Expansion) 値を乗ずることにより入力信号の振幅をダイナミックレンジに対し小さくしておき、等化器の後で出力信号に DRE 値の逆数を乗ずることにより本来の振幅に戻すという構成がとられていた。

【0003】 図 5 は、従来の復調装置における 16QAM (直交振幅変調) 信号点位置での A/D 変換器の入力信号の大きさと、DRE 値の関係を示す。ここで、振幅の収束点  $X_1 \sim X_4$  を有した入力信号 X のアイパターンと、振幅の収束点  $Y_1 \sim Y_4$  を有した入力信号 Y のアイパターンが示されており、入力信号 X は A/D 変換器のダイナミックレンジの  $3/8$  の振幅を有し、入力信号 Y は、A/D 変換器のダイナミックレンジの  $3/4$  の振幅を有する。この従来の同期検波の復調装置においては、例えば等化器のあとで、等化器の出力信号の振幅を 2 倍にした結果が、正規のレベルになるように A/D 変換器の前に置かれた AGC アンプに制御をかければ、図 5 に示すように A/D 変換器の定常時の入力信号の振幅が A/D 変換器のダイナミックレンジの  $1/2$  になる。フェージングが起こった場合、A/D 変換器入力では干渉成分が加わっているが、等化器の出力ではその干渉成分が除去されているため、その振幅を 2 倍にしたものが正規の振幅になるように制御をかけると、A/D 変換器の入力信号の振幅は、定常時よりも大きくなる。つまり、従来の復調装置においては、A/D 変換器の入力信号における所望波の電力が一定になるように制御がかかるため、干渉波成分があり、D/U (Desire to Undesire Power Ratio) が小さくなった場合には、D を一定にするために D+U の電力は増大する。等化器の後の倍率 (DRE 値の逆数) は、深いフェージングが起こった場合でも、A/D 変換器入力信号の振幅がそのダイナミックレンジを超えないように決定され、一般的には  $4/3 \sim 2$  程度の値が選ばれる。復調装置の出力における信号点位置は、デジタル値のしきい値に対して 16QAM 信号点位置の関係になっている。A/D 変換器の入力信号におけるアナログ入力信号の最適サンプリング位相での信号点位置が、A/D 変換器の出力信号に対して入力信号と同じ 16QAM 信号点位置の関係になっているとき、 $DRE = 1$  とする。

【0004】このような構成では、波形ひずみがあるときに備え、定常時のA/D変換器における量子化精度を低下させることになり、特に256QAMなどの多値変調方式においてBER特性の劣化を招いていた。

【0005】この問題点に対し、本発明の出願人は、A/D変換器の入力信号の最大振幅を一定に保つようにAGC（自動利得制御）をかけ、信号の振幅の補正を等化器の後に置かれたデジタルAGC回路で行なう構成を提案した（特開平07-170306号）。

【0006】図6は、本発明の出願人により特開平07-170306号に示された従来の復調装置を示す。この復調装置は、IF帯に設けられたAGCアンプ（アナログAGC回路）10と、Iチャンネルのミキサ21と、Qチャンネルのミキサ22と、局部発振器41と、90°位相器42と、ローパスフィルタ（LPF）31、32と、DCアンプ51、52と、A/D変換器61、62と、等化器（EQL）70と、乗算器101、102と、制御回路90とを備えており、乗算器101、102は等化器70の出力に補正值kを乗ずる構成を有している。

【0007】この復調装置においては、制御回路90が、AGCアンプ10の利得を制御することによりDCアンプ51、52から出力されるBB（Base Band）信号の最大振幅（D+U）を一定にしてA/D変換器61、62のダイナミックレンジをいっぱいに使うようにしている。AGCアンプ10の利得制御の補償は、乗算器101、102によって補正值kを乗ずることによって行われる。

【0008】

【発明が解決しようとする課題】しかしながら、図6に示したような従来の復調装置によれば、A/D変換器の入力信号の最大振幅を一定に保つには、最大振幅値の発生確率の低い多値変調方式の場合にAGCの時定数を非常に大きくする必要があり、伝送路での振幅の変動に対する追従速度に問題があった。

【0009】従って、本発明の目的は、定常時のビット誤り率（BER）特性を改善しつつ、AGCの時定数を短くでき、入力信号のレベル変動に対する追従速度を改善することができる復調装置を提供することである。

【0010】

【課題を解決するための手段】本発明は、以上に述べた目的を実現するため、I及びQチャンネルを有する2<sup>q</sup>（q≧2の整数）値直交振幅変調（QAM）方式の復調装置において、変調波を入力信号とし、出力信号の平均電力を一定に保つように動作するアナログAGC（自動利得制御）回路と、アナログAGC回路によって平均電力を一定にされ、変調波を復調して得られたBBアナログ信号をアナログ/デジタル（A/D）変換するA/D変換器と、A/D変換器の出力信号を入力し、該出力信号に含まれる符号間干渉成分を除去する等化器と、等化

器の出力信号を入力し、等化器の出力信号の収束点が（q/2）ビットの2進数で表現できる振幅になるように動作するI及びQチャンネルのデジタルAGC回路と、I及びQチャンネルのデジタルAGC回路の出力信号を入力し、I及びQチャンネルのデジタルAGC回路の制御信号を生成する制御回路と、を備えることを特徴とする復調装置を提供する。

【0011】

【発明の実施の形態】以下本発明の復調装置を詳細に説明する。

【0012】図1は、本発明の復調装置を示す。この復調装置は、IF帯に設けられたAGCアンプ（アナログAGC回路）10と、Iチャンネルのミキサ21と、Qチャンネルのミキサ22と、局部発振器41と、90°位相器42と、ローパスフィルタ（LPF）31、32と、DCアンプ51、52と、A/D変換器61、62と、等化器（EQL）70と、デジタルAGC回路（以下、単に「AGC回路」ともいう）81、82と、制御回路90とを備えている。ここで、局部発振器41は、制御回路90によって発振周波数を制御される電圧制御発振器（VCO：Voltage Controlled Oscillator）、または電圧制御水晶発振器（VCXO：Voltage Controlled X'tal Oscillator）などである。

【0013】以上のような復調装置において、復調装置の入力信号である2<sup>q</sup>値QAM変調波1は、IF帯に置かれたAGCアンプ10に入力される。AGCアンプ10は、その出力信号の平均電力が外部から設定された一定値となるように、そのゲインが自動制御される。AGCアンプ10の出力は、I、Qそれぞれのチャンネルのミキサ21、22に入力される。

【0014】ミキサ21、22では、局部発振器41の出力から得られる互いに直交する正弦波と入力信号との乗算が行われ、その結果、I、Qそれぞれのチャンネルの信号が出力される。この出力信号には、目的とするBB信号のほかにIF帯の信号が含まれているため、LPF31、32により所望のBB信号のみを取り出す。このBB信号を識別可能なレベルまで増幅するDCアンプ51、52を通したのち、A/D変換器61、62で複数列のデジタル信号に変換する。

【0015】A/D変換器61、62の出力信号は、伝送路での周波数特性のずれに起因する波形歪みを取り除くために、等化器70に入力される。ここで、等化器70としては、線形等化器や判定帰還形等化器などのBBデジタルで動作するものが用いられる。等化器70で干渉成分が取り除かれた信号4、5は、I、QそれぞれのチャンネルのAGC回路81、82に入力される。AGC回路81、82は、制御回路90からのAGC制御信号を積分することにより得られる係数と、入力信号との乗算を行う。

【0016】制御回路90は、I、Qそれぞれのチャネ

ルのアイパターンであるAGC回路81、82の出力と、規定値とのレベル差を検出し、その情報をAGC回路81、82に出力する。制御回路90は、局部発振器41の発振周波数制御信号や、等化器70の制御信号も出力する。AGC回路81、82の出力のうち、上位 $q/2$ ずつが、復調結果の出力として取り出される。ここで、例えば、16QAMでは、 $q=4$ であるから、I、Qそれぞれ2つの出力信号がある。

【0017】ここで、AGC回路81、82は、制御回路90からの制御信号を積分してAGCの利得になる値を出力する積分器（図示せず）と、入力信号と積分器の出力値の乗算を行なう乗算器（図示せず）から構成される。積分器の出力値が1より大きければ、AGC回路81、82として正の利得を持ち、1より小さい正の値であれば、負の利得を持つことになる。

【0018】以下、本発明の復調装置の動作を詳述する。A/D変換器61、62は、その入力信号のアナログBB信号2、3をサンプリングCLKの周期で複数ビットのデジタル信号に変換する。このときA/D変換器61、62の識別範囲を超えた信号は、その出力デジタル信号の最大値もしくは最小値にクリップされる。この結果、アナログ信号の持つ情報が失われてしまうことになるため、復調特性の劣化となる。従って、サンプリングタイミングでのA/D変換器61、62の入力信号2、3は、A/D変換器61、62の識別範囲を超えないようにしなければならない。

【0019】特に、デジタル信号処理によって、クロック再生、ロールオフフィルタリングなどの復調信号処理を行なう場合は、標準化定理に基づいて変調速度の2倍以上のクロックでA/D変換を行なうため、波形の帯域制限により振幅の大きくなっているトランジェット部分もアナログ波形の情報を失うことなく変換する必要がある。

【0020】AGCアンプ10は、その中に検波回路を持ち、その出力信号の平均電力があらかじめ定められた値に保たれるように動作する。

【0021】AGCアンプ10の出力信号は、ミキサ21、22で正弦波の局部発振信号と乗算され、LPF31、32を通ることによりBB信号が取り出される。さらに、固定利得のDCアンプ51、52を通りA/D変換器61、62に入力される。従って、ミキサ21、22からDCアンプ51、52までの利得が一定であれば、A/D変換器61、62の入力信号の平均電力はAGCアンプ10の働きにより一定に保たれる。

【0022】伝送路でフェージングが発生した場合、変調波の平均電力と瞬時最大電力との比であるピークファクタが変動する。従って、本発明のように平均電力で変調波のレベルを制御している場合、A/D変換器入力における最大振幅は伝送路の状況によって変動してしまう。ここで、その変動幅は、フェージングの深さ、周波

数などの条件によって一定ではないが、おおむね2dB以内に収まることが、シミュレーションにより確認されている。

【0023】図2は、シミュレーションによるピークファクタの変動幅を示す。図2に示すように、AGCアンプ10によって、その平均電力をA/D変換器61、62の入力可能最大振幅（ダイナミックレンジ）に対し、電力で2dB程度小さくなるように保った場合、A/D変換器61、62の入力信号の最大振幅は、フェージングが起こった場合でも、A/D変換器61、62のダイナミックレンジを超えることはない。

【0024】図3は、AGC回路81、82の制御信号と各チャネルの出力信号のしきい値（デジタル値）を示す。制御回路90は、各チャネルの出力信号が、図3に示すしきい値の位置に合うようにAGC回路81、82に制御信号を出力する。デジタル信号のMSBであるD1と3SB（誤差ビット）であるD3のEX-NORをとった信号を制御信号とすると、信号点の振幅が既定値より小さいとき、制御信号は「0」レベルとなり、既定値より大きいときは「1」レベルとなる。これに合わせて、制御信号が「0」レベルのとき利得を大きくし、「1」レベルのとき利得を小さくするようにAGC回路81、82を構成すれば、AGC回路81、82の出力信号6、7の振幅は、既定値と一致するように制御される。

【0025】以上、本発明の復調装置によれば、フェージングのない定常時のA/D変換器の入力レベルを大きくできるため、定常時のビット誤り率（BER）特性を改善することができるようになった。また、平均電力を一定に保つためのAGCアンプの時定数は、変調多値数により大きく変わることがないため、A/D変換器の入力信号の最大振幅を一定に保つような構成に比べ、AGCアンプの時定数を短くできる。その結果、復調装置の入力信号のレベル変動に対する追従速度を改善することができるようになった。

【0026】以上、本発明の復調装置の一形態を示したが、A/D変換器51、52の入力信号の平均電力を一定に保ち、その時点でのBER最良振幅との誤差分を等化器70の後に設置されたAGC回路81、82で吸収すればよいので、平均電力を一定に保つAGCアンプ10をI、Qそれぞれの伝送路上に設けてもよい。また、BBデジタル信号において搬送波同期を確立する準同期検波方式の復調装置についても本発明を適用できる。

【0027】図4は、本発明の準同期検波方式の復調装置を示す。この復調装置は、IF帯に設けられたAGCアンプ10と、Iチャネルのミキサ21と、Qチャネルのミキサ22と、局部発振器41Aと、90°位相器42と、LPF31、32と、DCアンプ51、52と、A/D変換器61、62と、無限移相器（EPS）110と、等化器（EQL）70と、AGC回路81、82

と、制御回路90とを備えている。

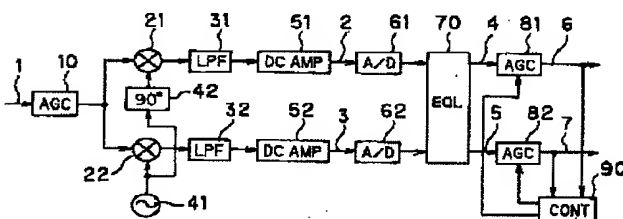
【0028】ここで、図4に示した復調装置と、図1に示した復調装置の相違点について説明する。図1の復調装置の局部発振器41は、制御回路90によって発振周波数を制御される電圧制御発振器（VCO：Voltage Controlled Oscillator）、または電圧制御水晶発振器（VCXO：Voltage Controlled X'tal Oscillator）であるのに対し、図4で示した復調装置の局部発振器41Aは、復調装置への入力信号の変調波の搬送波周波数に近いけれど同期はしていない周波数で発振する局部発振器41Aであり、制御回路90などの他の回路から制御されていない。

【0029】従って、A/D変換器61、62の入力信号には搬送波の位相回転が残っており、変調波の搬送波周波数と局部発振器41との差分の周波数で回転している。その残差周波数は、無限移相器（EPS）110により除去される。EPS110は、制御回路90からの位相情報により、入力信号に対し残差周波数と同じ周波数で逆方向の回転を与える。この結果、EPS110の出力では、搬送波位同期が確立する。その他の回路の動作は、図1の復調装置と同一である。

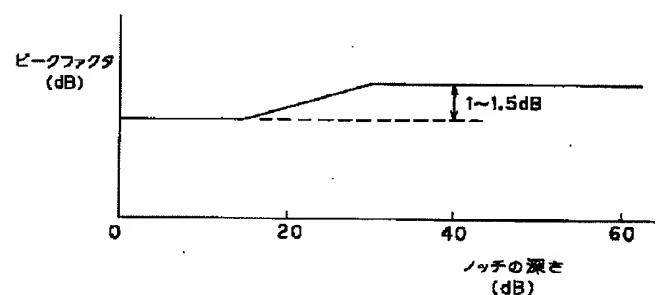
#### 【0030】

【発明の効果】以上述べた通り、本発明の復調装置によれば、フェージングのない定常時のA/D変換器の入力信号のレベルを大きくできるため、定常時のビット誤り率（BER）特性を改善することができるようになった。また、平均電力を一定に保つためのAGCアンプの時定数は、変調多値数により大きく変わることがないため、A/D変換器の入力信号の最大振幅を一定に保つような構成に比べ、AGCアンプの時定数を短くできる。その結果、復調装置の入力信号のレベル変動に対する追

【図1】



【図2】



(5)

特開平11-331300

随速度を改善することができるようになった。

【図面の簡単な説明】

【図1】本発明による復調装置の実施の一形態を示す概略図である。

【図2】シミュレーションによるピークファクタの変動幅を示す図である。

【図3】AGC回路の制御信号と各チャネルの出力信号のしきい値（デジタル値）を示す図である。

【図4】本発明の準同期検波方式の復調装置の実施の一形態を示す概略図である。

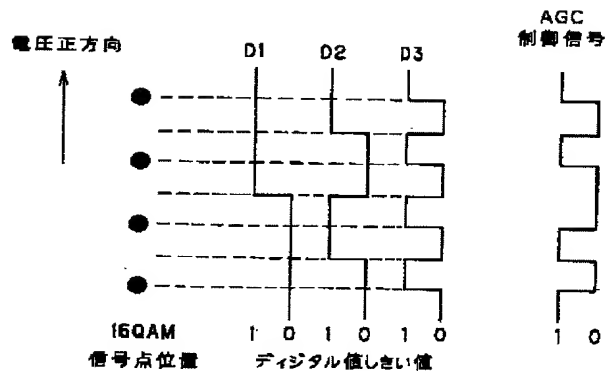
【図5】従来の復調装置における16QAM（直交振幅変調）信号点位置でのA/D変換器の入力信号の大きさと、DREの関係を示す図である。

【図6】従来の復調装置の実施の一形態を示す概略図である。

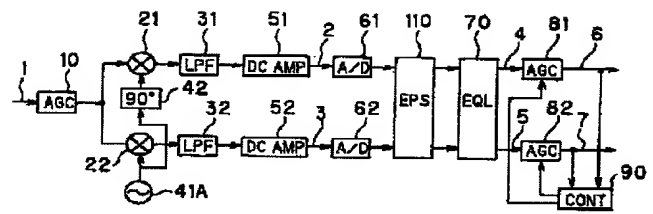
【符号の説明】

- 1 2<sup>q</sup> 値QAM変調波
- 2、3 アナログBB信号
- 4、5、6、7 信号
- 10 AGCアンプ
- 21 Iチャネルのミキサ
- 22 Qチャネルのミキサ
- 31、32 LPF
- 41、41A 局部発振器
- 42 90°位相器
- 51、52 DCアンプ
- 61、62 A/D変換器
- 70 等化器（EQL）
- 81、82 AGC回路
- 90 制御回路
- 110 無限移相器（EPS）

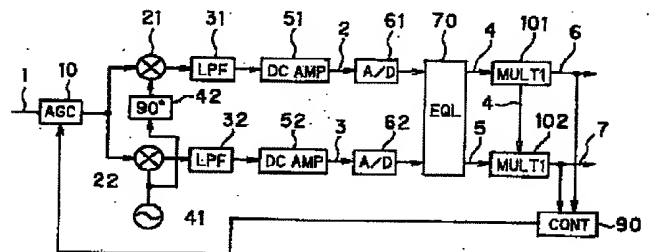
【図 3】



【図 4】



【図 6】



【図 5】

